

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 1 3 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 2 9 4 0 1  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 2 9 4 0 1 ]

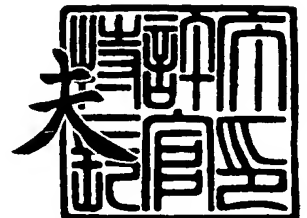
出 願 人                      株式会社日立製作所  
Applicant(s):

U.S. Appln. Filed 11-13-03  
Inventor: T. Isezaki et al  
Mattingly Stanger & Malur  
Docket T7A-123

2 0 0 3 年 1 0 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 3 8 7 7

【書類名】 特許願

【整理番号】 H02010901

【提出日】 平成14年11月13日

【あて先】 特許庁長官殿

【国際特許分類】 H06F 1/26

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 伊勢崎 剛志

【発明者】

    【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

    【氏名】 高橋 敏郎

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100080001

    【弁理士】

    【氏名又は名称】 筒井 大和

    【電話番号】 03-3366-0787

【手数料の表示】

    【予納台帳番号】 006909

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置および電子システム

【特許請求の範囲】

【請求項 1】 外部入力される外部電源電圧から、論理回路が動作する内部電源電圧を生成する内部電源電圧生成手段と、

前記論理回路から入出力される信号の電圧振幅レベルを変換するレベルシフト手段とを備えたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、

前記内部電源電圧生成手段は、

前記外部電源電圧の高電位側外部電源から、高電位側内部電源を生成する高電位側電源生成部と、

前記外部電源電圧の低電位側外部電源から、低電位側内部電源を生成する低電位側電源生成部とよりなり、

前記高電位側電源生成部、および前記低電位側電源生成部が生成した高電位側内部電源と低電位側内部電源とを内部電源電圧とし前記論理回路に供給すること  
を特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置において、

前記高電位側電源生成部は、

第 1 の基準電圧と前記高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第 1 の内部制御信号を出力する第 1 の電圧比較部と、

前記高電位側外部電源と前記高電位側内部電源との間に複数の電源用トランジスタが並列接続され、前記複数の電源用トランジスタのゲートには前記第 1 の電圧比較部が出力した第 1 の内部制御信号がそれぞれ入力される構成からなり、前記第 1 の内部制御信号に応じて前記複数の電源用トランジスタを駆動させて前記高電位側内部電源を生成する第 1 の内部電源制御部とよりなり、

前記低電位側電源生成部は、

第 2 の基準電圧と前記低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第 2 の内部

制御信号を出力する第2の電圧比較部と

前記低電位側外部電源と前記低電位側内部電源との間に複数の電源用トランジスタが並列接続され、前記複数の電源用トランジスタのゲートには前記第2の電圧比較部が出力した前記第2の内部制御信号がそれぞれ入力される構成からなり、前記第2の内部制御信号に応じて前記複数の電源用トランジスタを駆動させて前記低電位側内部電源を生成する第2の内部電源生成部とよりなることを特徴とする半導体集積回路装置。

【請求項4】 請求項2記載の半導体集積回路装置において、

前記高電位側電源生成部が、

第1の基準電圧と前記高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第1の内部制御信号を出力する第1の電圧比較部と、

前記第1の電圧比較部から出力される第1の内部制御信号に応じて、任意のデューティ比のパルス信号を生成する第1のデューティ制御回路と、前記高電位側外部電源と前記高電位側内部電源との間に並列接続され、前記第1のデューティ制御回路が出力したパルス信号がゲートにそれぞれ入力される複数の電源用トランジスタとを設けた第1の内部電源制御部とからなり、

前記第1の内部電源制御部は、前記パルス信号に応じて前記複数の電源用トランジスタを駆動させて前記高電位側内部電源を生成し、

前記低電位側電源生成部が、

第2の基準電圧と前記低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第2の内部制御信号を出力する第2の電圧比較部と、

前記第2の電圧比較部から出力される第2の内部制御信号に応じて、任意のデューティ比のパルス信号を生成する第2のデューティ制御回路と、前記低電位側外部電源と前記低電位側内部電源との間に並列接続され、前記第2のデューティ制御回路が出力したパルス信号がゲートにそれぞれ入力される複数の電源用トランジスタとを設けた第2の内部電源制御部とからなり、

前記第2の内部電源制御部は、前記パルス信号に応じて前記複数の電源用トラ

ンジスタを駆動させて前記低電位側内部電源を生成することを特徴とする半導体集積回路装置。

【請求項 5】 請求項 3 または 4 記載の半導体集積回路装置において、前記第 1、および第 2 の電圧比較部は、入力された設定信号に基づいて、前記複数の電源用トランジスタを停止させ、高電位側外部電源と高電位側内部電源、および低電位側外部電源と低電位側内部電源とをそれぞれ電氣的に分離することを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置において、  
前記高電位側電源生成部は、  
前記高電位側内部電源と低電位側外部電源との間に接続され、前記第 1 の電圧比較部が制御信号に基づいて高電位側外部電源と高電位側内部電源とを電氣的に分離した際に、導通する第 1 のトランジスタを備え、  
前記低電位側電源生成部は、  
前記低電位側内部電源と低電位側外部電源との間に接続され、前記第 2 の電圧比較部が制御信号に基づいて低電位側外部電源と低電位側内部電源とを電氣的に分離した際に、導通する第 2 のトランジスタを備えたことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 ～ 6 のいずれか 1 項に記載の半導体集積回路装置において、前記内部電源電圧生成手段が生成した内部電源電圧間に電源間容量となる静電容量素子を設けたことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 ～ 7 のいずれか 1 項に記載の半導体集積回路装置において、前記第 1 の内部電源制御部、前記第 2 の内部電源制御部、ならびに前記静電容量素子をそれぞれ複数設け、半導体チップに分散して配置したことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 2 ～ 8 のいずれか 1 項に記載の半導体集積回路装置において、前記第 1、および第 2 の基準電圧を生成する基準電圧生成部を設けたことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1 ～ 9 のいずれか 1 項に記載の半導体集積回路装置において、

前記レベルシフト手段は、

前記論理回路から出力された内部電源電圧レベルの信号振幅を、外部電源電圧レベルの信号振幅に変換する第 1 のレベルシフト部と、

外部から入力された外部電源電圧レベルの信号振幅を前記論理回路が動作する内部電源電圧レベルの信号振幅に変換する第 2 のレベルシフト部とよりなることを特徴とする半導体集積回路装置。

【請求項 1 1】 外部入力される外部電源電圧から、論理回路が動作する内部電源電圧を生成する内部電源電圧生成手段を備えた半導体集積回路装置と、

前記半導体集積回路装置を搭載する電子部品搭載基板とを用いて構成されたことを特徴とする電子システム。

【請求項 1 2】 請求項 1 1 記載の電子システムにおいて、

前記内部電源電圧生成手段は、

前記電子部品搭載基板に形成された電源配線を介して供給された外部電源電圧の高電位側外部電源から、高電位側内部電源を生成する高電位側電源生成部と、

前記電子部品搭載基板に形成された電源配線を介して供給された外部電源電圧の低電位側外部電源から、低電位側内部電源を生成する低電位側電源生成部とよりなり、

前記高電位側電源生成部、および前記低電位側電源生成部が生成した高電位側内部電源と低電位側内部電源とを内部電源電圧とし前記論理回路に供給することを特徴とする電子システム。

【請求項 1 3】 請求項 1 2 記載の電子システムにおいて、

前記高電位側電源生成部が、

第 1 の基準電圧と前記高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第 1 の内部制御信号を出力する第 1 の電圧比較部と

前記高電位側外部電源と前記高電位側内部電源との間に複数の電源用トランジスタが並列接続され、前記複数の電源用トランジスタのゲートには前記第 1 の電圧比較部が出力した第 1 の内部制御信号がそれぞれ入力される構成からなり、前記第 1 の内部制御信号に応じて前記複数の電源用トランジスタを駆動させて前記

高電位側内部電源を生成する第1の内部電源制御部とよりなり、

前記低電位側電源生成部が、

第2の基準電圧と前記低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第2の内部制御信号を出力する第2の電圧比較部と、

前記低電位側外部電源と前記低電位側内部電源との間に複数の電源用トランジスタが並列接続され、前記複数の電源用トランジスタのゲートには前記第2の電圧比較部が出力した第2の内部制御信号がそれぞれ入力される構成からなり、前記第2の内部制御信号に応じて前記複数の電源用トランジスタを駆動させて前記低電位側内部電源を生成する第2の内部電源制御部とよりなることを特徴とする電子システム。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体集積回路装置におけるノイズ低減技術に関し、特に、論理回路のDC変動から発生する低周波成分のノイズ低減に適用して有効な技術に関するものである。

##### 【0002】

#### 【従来の技術】

近年、半導体デバイスが微細化されるにつれて、半導体集積回路装置は、より高集積化、高速化が進み、それに伴い消費電流が増加する傾向にある。例えば、1999年度SIAロードマップによると、今後10年間で高性能MPUの動作周波数は6.7倍になり、消費電流は5.2倍に増加すると見込まれている。その一方、電源電圧は消費電力を抑えるために低電力化が進み、1/3程度になると見込まれている。

##### 【0003】

ところで、半導体集積回路装置の電源ノイズは、概ね高周波成分と低周波成分とに分けられる。高周波成分のノイズは、半導体集積回路装置の論理ゲートが内部のクロック信号に同期して動作する際に、該論理ゲートに一瞬貫通電流が流れ

ることにより発生する。

#### 【0004】

高周波成分のノイズの大きさは、半導体集積回路装置の消費電流のAC的な変動の時間積分を半導体チップ内の電源間容量で割ったものとなる。前述したように、半導体集積回路装置の消費電流は増加する見込みであるが、半導体チップの未使用トランジスタ領域などを利用して電源間容量を増加させることにより、高周波成分のノイズはほぼ一定に保つことができる。

#### 【0005】

また、低周波成分のノイズは、パッケージ内部のインダクタンスと半導体チップ内部の電源間容量による共振現象により発生する。その大きさは、半導体集積回路装置の消費電流のDC的な変動、および電源の特性インピーダンスに比例する。

#### 【0006】

この低周波成分のノイズを低減するには、たとえば、電源の特性インピーダンスを低減する（たとえば、特許文献1参照。）などの対策が必要であるが、該低周波成分のノイズの場合、その大きさが高周波成分のノイズに対して非常に小さく、あまり問題とならない。

#### 【0007】

##### 【特許文献1】

特開平11-150469号公報

#### 【0008】

##### 【発明が解決しようとする課題】

ところが、上記のような半導体集積回路装置では、次のような問題点があることが本発明者により見いだされた。

#### 【0009】

すなわち、半導体集積回路装置の低電力化にともなって電源電圧も低下するため、低周波成分のノイズが電源電圧に占める割合が大きくなり、将来的に半導体集積回路装置の動作に悪影響を及ぼしてしまう恐れがある。

#### 【0010】



さらに、半導体集積回路装置の電源電圧が低下し、消費電流が増大するに伴い、電源配線などの抵抗による電源ドロップが、電源電圧に占める割合が増加することになり、所望の電圧を半導体集積回路装置の入出力回路や論理回路などに供給することが困難となってしまうことも予想される。

#### 【0011】

本発明の目的は、論理回路の動作時に消費電流のDC的な変動から発生する低周波成分のノイズを大幅に低減することのできる半導体集積回路装置、および電子システムを提供することにある。

#### 【0012】

また、本発明の他の目的は、低電源電圧化に伴う電源抵抗による電源ドロップを大幅に低減することのできる半導体集積回路装置、および電子システムを提供することにある。

#### 【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0014】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1) 半導体集積回路装置であって、外部入力される外部電源電圧から、論理回路が動作する内部電源電圧を生成する内部電源電圧生成手段と、論理回路から入出力される信号の電圧振幅レベルを変換するレベルシフト手段とを備えたものである。

#### 【0015】

また、本願のその他の発明の概要を簡単に示す。

(2) 前記第1項において、内部電源電圧生成手段は、外部電源電圧の高電位側外部電源から、高電位側内部電源を生成する高電位側電源生成部と、外部電源電圧の低電位側外部電源から、低電位側内部電源を生成する低電位側電源生成部とよりなるものである。

(3) 前記第2項において、高電位側電源生成部が、第1の基準電圧と高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第1の内部制御信号を出力する第1の電圧比較部と、高電位側外部電源と高電位側内部電源との間に複数の電源用トランジスタが並列接続され、それら複数の電源用トランジスタのゲートには第1の電圧比較部が出力した第1の内部制御信号がそれぞれ入力される構成からなる第1の内部電源制御部とよりなり、低電位側電源生成部が、第2の基準電圧と低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第2の内部制御信号を出力する第2の電圧比較部と、低電位側外部電源と低電位側内部電源との間に複数の電源用トランジスタが並列接続され、それらの電源用トランジスタのゲートには第2の電圧比較部が出力した第2の内部制御信号がそれぞれ入力される構成からなり、該第2の内部制御信号に応じて複数の電源用トランジスタを駆動させる第2の内部電源制御部とよりなるものである。

(4) 前記第2項において、高電位側電源生成部が、第1の基準電圧と高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第1の内部制御信号を出力する第1の電圧比較部と、該第1の内部制御信号に応じて、パルス信号を生成する第1のデューティ制御回路と、高電位側外部電源と高電位側内部電源との間に並列接続され、該パルス信号がゲートにそれぞれ入力される複数の電源用トランジスタとを設けた第1の内部電源制御部とからなり、低電位側電源生成部が、第2の基準電圧と低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第2の内部制御信号を出力する第2の電圧比較部と、第2の電圧比較部から出力される第2の内部制御信号に応じて、パルス信号を生成する第2のデューティ制御回路と、低電位側外部電源と低電位側内部電源との間に並列接続され、該パルス信号がゲートにそれぞれ入力される複数の電源用トランジスタとを設けた第2の内部電源制御部とからなるものである。

(5) 前記第3項または前記第4項において、第1、および第2の電圧比較部は

、入力された設定信号に基づいて複数の電源用トランジスタを停止させ、高電位側外部電源と高電位側内部電源、および低電位側外部電源と低電位側内部電源とをそれぞれ電氣的に分離するものである。

(6) 前記第5項において、高電位側電源生成部は、高電位側内部電源と低電位側外部電源との間に接続され、第1の電圧比較部が設定信号に基づいて、高電位側外部電源と高電位側内部電源とを電氣的に分離した際に導通する第1のトランジスタを備え、低電位側電源生成部は、低電位側内部電源と低電位側外部電源との間に接続され、第2の電圧比較部が設定信号に基づいて、第2の電圧比較部が低電位側外部電源と低電位側内部電源とを電氣的に分離した際に導通する第2のトランジスタを備えたものである。

(7) 前記第1項～前記第6項のいずれかにおいて、内部電源電圧生成手段が生成した内部電源電圧間に電源間容量となる静電容量素子を設けたものである。

(8) 前記第1項～前記第7項のいずれかにおいて、第1の内部電源生成部、低電位側電源生成部、ならびに静電容量素子をそれぞれ複数設け、半導体チップに分散して配置したものである。

(9) 前記第2項～前記第8項のいずれかにおいて、第1、および第2の基準電圧を生成する基準電圧生成部を設けたものである。

(10) 前記第1項～前記第9項のいずれかにおいて、レベルシフト手段は、論理回路から出力された内部電源電圧レベルの信号振幅を、外部電源電圧レベルの信号振幅に変換する第1のレベルシフト部と、外部から入力された外部電源電圧レベルの信号振幅を論理回路が動作する内部電源電圧レベルの信号振幅に変換する第2のレベルシフト部とよりなるものである。

(11) 電子システムであって、外部入力される外部電源電圧から、論理回路が動作する内部電源電圧を生成する内部電源電圧生成手段を備えた半導体集積回路装置と、該半導体集積回路装置を搭載する電子部品搭載基板とを用いて構成されたものである。

(12) 前記第11項において、内部電源電圧生成手段は、電子部品搭載基板に形成された電源配線を介して供給された外部電源電圧の高電位側外部電源から、高電位側内部電源を生成する高電位側電源生成部と、電子部品搭載基板に形成さ

れた電源配線を介して供給された外部電源電圧の低電位側外部電源から、低電位側内部電源を生成する低電位側電源生成部とよりなるものである。

(13) 前記第12項において、高電位側電源生成部が、第1の基準電圧と高電位側電源生成部が生成した高電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第1の内部制御信号を出力する第1の電圧比較部と、高電位側外部電源と高電位側内部電源との間に複数の電源用トランジスタが並列接続され、それらの電源用トランジスタのゲートには第1の電圧比較部が出力した第1の内部制御信号がそれぞれ入力される構成からなり、該第1の内部制御信号に応じて複数の電源用トランジスタを駆動させて高電位側内部電源を生成する第1の内部電源生成部とよりなり、低電位側電源生成部が、第2の基準電圧と低電位側電源生成部が生成した低電位側内部電源との電圧レベルを比較し、その電圧レベルの差分に応じて電圧を変化させる第2の内部制御信号を出力する第2の電圧比較部と、低電位側外部電源と低電位側内部電源との間に複数の電源用トランジスタが並列接続され、それらの電源用トランジスタのゲートには第2の電圧比較部が出力した第2の内部制御信号がそれぞれ入力される構成からなり、第2の内部制御信号に応じて複数の電源用トランジスタを駆動させて低電位側内部電源を生成する第2の内部電源制御部とよりなるものである。

#### 【0016】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

#### 【0017】

図1は、本発明の一実施の形態による半導体集積回路装置のブロック図、図2は、図1の半導体集積回路装置における機能ブロックの説明図、図3は、図1の半導体集積回路装置におけるチップレイアウト図、図4は、図1の半導体集積回路装置に設けられた高電位側電源回路の回路図、図5は、図1の半導体集積回路装置に設けられた低電位側電源回路の回路図、図6は、図1の半導体集積回路装置に設けられた高電位側基準電圧回路の回路図、図7は、図1の半導体集積回路装置をボードに搭載した一例を示す説明図、図8は、図1の半導体集積回路装置に設けられた入力レベルシフタの回路図、図9は、図1の半導体集積回路装置に

設けられた出力レベルシフタの回路図である。

#### 【0018】

本実施の形態において、半導体集積回路装置 1 は、図 1 に示すように、高電位側電源回路（内部電源生成手段）2、低電位側電源回路（内部電源生成手段）3、論理ブロック（論理回路）4、I/O部5、レベルシフタ部6、静電容量素子7、高電位側基準電圧回路8、および低電位側基準電圧回路9などから構成されている。

#### 【0019】

高電位側電源回路2は、外部入力される高電位側外部電源（外部電源電圧）VCCから、ある電圧レベルの高電位側内部電源（内部電源電圧）VDDを生成する。低電位側電源回路3は、高電位側外部電源VCCとともに外部入力される低電位側外部電源（外部電源電圧）GNDから、ある電圧レベルの低電位側内部電源（内部電源電圧）VSSを生成する。

#### 【0020】

これら高電位側外部電源VCC、および低電位側外部電源GNDは、高電位側電源回路2、低電位側電源回路3の他に、I/O部5、レベルシフタ部（レベルシフト手段）6、高電位側基準電圧回路8、および低電位側基準電圧回路9にそれぞれ供給されるように接続されている。

#### 【0021】

さらに、高電位側電源回路2と低電位側電源回路3とによって生成された高電位側内部電源VDD、低電位側内部電源VSSは、論理ブロック4、ならびにレベルシフタ部6にそれぞれ供給されるように接続されている。

#### 【0022】

高電位側電源回路2、低電位側電源回路3には、高電位側設定信号（第1制御信号）HSS、および低電位側設定信号（第2制御信号）LSSがそれぞれ外部入力されるように接続されている。高電位側設定信号HSSが入力されると高電位側電源回路2は動作を停止し、高電位側外部電源VCCと高電位側内部電源VDDとが電氣的に切断される。同様に、高電位側設定信号HSSが入力された際には、低電位側電源回路3が動作を停止し、低電位側外部電源GNDと低電位側

内部電源  $V_{SS}$  とが電氣的に切断される。

#### 【0023】

ここでは、高電位側設定信号  $H_{SS}$ 、ならびに低電位側設定信号  $L_{SS}$  が外部入力される構成としたが、半導体集積回路装置 1 内部において高電位側設定信号  $H_{SS}$ 、低電位側設定信号  $L_{SS}$  をそれぞれ生成する回路を設けるようにしてもよい。

#### 【0024】

論理ブロック 4 は、CPU (Central Processing Unit)、および RAM (Random Access MEMORY) や D/A 変換器などの周辺回路などからなる。I/O (Input/Output) 部 5 は、データなどの入出力回路である。レベルシフト部 6 は、出力レベルシフト (第 1 レベルシフト部) 6 a、ならびに入力レベルシフト (第 2 レベルシフト部) 6 b からなる。

#### 【0025】

出力レベルシフト 6 a は、論理ブロック 4 から出力された論理的高電位 (高電位側内部電源  $V_{DD}$ )、または論理的低電位 (低電位側内部電源  $V_{SS}$ ) の出力信号を、高電位側外部電源  $V_{CC}$  レベル、あるいは低電位側外部電源  $GND$  レベルにそれぞれ変換して出力する。

#### 【0026】

入力レベルシフト 6 b は、外部から入力された高電位側外部電源  $V_{CC}$  レベル、または低電位側外部電源  $GND$  レベルの入力信号を、論理ブロック 4 の論理的高電位 (高電位側内部電源  $V_{DD}$ )、あるいは論理的低電位 (低電位側内部電源  $V_{SS}$ ) に変換し、論理ブロック 4 に出力する。

#### 【0027】

入力レベルシフト 6 b は、外部入力された高電位側外部電源  $V_{CC}$  レベルから低電位側外部電源  $GND$  レベルの入力信号を、高電位側内部電源  $V_{DD}$  レベルから低電位側内部電源  $V_{SS}$  レベルの出力信号に変換し、論理ブロック 4 に出力する。

#### 【0028】

静電容量素子 7 は、高電位側内部電源  $VDD$  と低電位側内部電源  $VSS$  との間に接続された電源間容量である。高電位側基準電圧回路 8 は、高電位側外部電源  $VCC$ 、および低電位側外部電源  $GND$  から高電位側基準電圧（第 1 の基準電圧） $VREFh$  を生成する。低電位側基準電圧回路 9 は、高電位側外部電源  $VCC$ 、ならびに低電位側外部電源  $GND$  から低電位側基準電圧（第 2 の基準電圧） $VREFl$  を生成する。

#### 【0029】

高電位側基準電圧  $VREFh$  は、高電位側電源回路 2 が高電位側内部電源  $VDD$  を生成する際に用いられ、低電位側基準電圧回路 9 は、低電位側電源回路 3 が低電位側内部電源  $VSS$  を生成する際に用いられる。

#### 【0030】

高電位側内部電源  $VDD$  は高電位側基準電圧  $VREFh$  と、また低電位側内部電源  $VSS$  は低電位側基準電圧  $VREFl$  とほぼ等しい電圧となる。よって論理ブロック 4 の電源電圧レベルを安定させるには、高電位側基準電圧  $VREFh$  および低電位側基準電圧  $VREFl$  が安定でなければならない。よって高電位側基準電圧回路 8 及び高電位側基準電圧回路 9 の電源となる  $VCC$  及び  $GND$  も安定であることが望ましい。図示はしないが、高電位側基準電圧回路 8 及び高電位側基準電圧回路 9 の電源は、半導体集積回路装置 1 に専用端子を設けて外部から供給してもよい。

#### 【0031】

なお、ここでは、論理ブロック 4 が動作する電源電圧レベルが同じ場合について記載したが、該論理ブロック 4 が複数あり、その電源電圧レベルが異なる場合には、それら異なる電源電圧レベルと同じ数だけ、高電位側電源回路 2、低電位側電源回路 3、および I/O 部 5 が設けられることになる。

#### 【0032】

また、図 2 に半導体集積回路装置 1 における機能ブロックを示す。

#### 【0033】

図 2 において、高電位側電源回路 2 は、高電位側内部電源生成部（高電位側電圧生成手段、第 1 の内部電源生成部、第 1 の電圧比較部）2a、高電位側内部電

源制御部（高電位側電圧生成手段、第1の内部電源制御部）2b、およびトランジスタ（高電位側電圧生成手段、第1のトランジスタ）2cから構成されている。

#### 【0034】

低電位側電源回路3は、低電位側内部電源生成部（低電位側電圧生成手段、第2の内部電源生成部、第2の電圧比較部）3a、低電位側内部電源制御部（低電位側電圧生成手段、第2の内部電源制御部）3b、ならびにトランジスタ（低電位側電圧生成手段、第2のトランジスタ）3cから構成されている。

#### 【0035】

高電位側内部電源生成部2aには、高電位側設定信号HSS、および高電位側基準電圧VREFhがそれぞれ入力されるように接続されている。低電位側内部電源生成部3bには、低電位側設定信号LSS、ならびに低電位側基準電圧VREFlがそれぞれ入力されるように接続されている。

#### 【0036】

さらに、トランジスタ2c、3cはNチャネルMOSからなり、該トランジスタ2c、3cのゲートには、高電位側設定信号HSS、および低電位側設定信号LSSがそれぞれ入力されるように接続されている。

#### 【0037】

トランジスタ2cの一方の接続部には、高電位側内部電源VDDが接続されており、他方の接続部には、低電位側外部電源GNDが接続されている。また、トランジスタ3cの一方の接続部には、低電位側内部電源VSSが接続されており、他方の接続部には、低電位側外部電源GNDが接続されている。

#### 【0038】

前述したように、高電位側設定信号HSS、および低電位側設定信号LSSがそれぞれ入力された際には、高電位側電源回路2、低電位側電源回路3が動作を停止する。

#### 【0039】

トランジスタ2c、3cは、高電位側電源回路2、低電位側電源回路3が動作を停止した際に、高電位側設定信号HSS、および低電位側設定信号LSSを受



けてそれぞれONとなり、高電位側内部電源VDD、および低電位側内部電源VSSを低電位側外部電源GNDレベルにする。

#### 【0040】

また、図3は、半導体集積回路装置1における半導体チップCHのレイアウト図である。

#### 【0041】

図示するように、半導体チップCHの周辺部には、I/O部5が設けられており、その内部には論理ブロック4が設けられている。右上コーナ部などのI/O部5の空いている領域には、高電位側基準電圧回路8、ならびに低電位側基準電圧回路9が設けられている。

#### 【0042】

これら高電位側基準電圧回路8、および低電位側基準電圧回路9の近傍には、高電位側内部電源生成部2a、低電位側内部電源生成部3aがそれぞれ設けられている。これら高電位側基準電圧回路8、および低電位側基準電圧回路9と、高電位側内部電源生成部2a、ならびに低電位側内部電源生成部3aとは極力接近して配置することが望ましい。論理ブロック4とI/O部5との間には、レベルシフタ部6が設けられている。

#### 【0043】

また、論理ブロック4内には、高電位側内部電源制御部2b、低電位側内部電源制御部3b、ならびに静電容量素子7が分散して複数配置されている。また、論理ブロック4が動作する際の駆動電流は、これら静電容量素子7に蓄えられた電荷から供給されるので、電源配線抵抗による電源ドロップを抑制することができる。

#### 【0044】

半導体チップCHの外周辺部には、内部電極となる複数のパッドPが配置されている。このパッドPは、I/O部5や外部入力される高電位側外部電源VCC、低電位側外部電源GNDなどが接続される端子である。

#### 【0045】

さらに、半導体チップCHには、電源配線Hc、Hg、Hd、Hs、および配

線  $Hhs$ ,  $Hls$  がそれぞれ形成されている。これら電源配線  $Hc$ ,  $Hg$ ,  $Hd$ ,  $hs$ 、ならびに配線  $Hhs$ ,  $Hls$  は、メッシュ状に配置されている。

【0046】

電源配線  $Hc$  は、高電位側電源回路 2a, 2b、I/O部 5、およびレベルシフタ部 6 などに高電位側外部電源  $VCC$  を供給する。電源配線  $Hg$  は、低電位側電源回路 3a, 3b、I/O部 5、ならびにレベルシフタ部 6 などに低電位側外部電源  $GND$  を供給する。

【0047】

電源配線  $Hd$  は、論理ブロック 4、およびレベルシフタ部 6 に高電位側内部電源  $VDD$  をそれぞれ供給する。電源配線  $hs$  は、論理ブロック 4、ならびにレベルシフタ部 6 に低電位側内部電源  $VSS$  をそれぞれ供給する。

【0048】

配線  $Hhs$  は、高電位側内部電源制御部 2b に高電位側設定信号  $HSS$  を供給し、配線  $Hls$  は、低電位側電源制御部 3b に低電位側設定信号  $LSS$  を供給する。

【0049】

ここで、電源電圧、および信号の電位の関係について説明する。

【0050】

高電位側内部電源  $VDD$  は、高電位側外部電源  $VCC$  よりも低く ( $VDD < VCC$ )、高電位側基準電圧  $VREFh$  と等しくなっている ( $VDD = VREFh$ )。低電位側内部電源  $VSS$  は、低電位側外部電源  $GND$  より高く ( $VSS > GND$ )、低電位側基準電圧  $VREFl$  と等しい ( $VSS = VREFl$ )。

【0051】

さらに、出力レベルシフタ 6a、および入力レベルシフタ 6b から論理ブロック 4 に入出力される信号の論理的な高電位  $Vlh$  は、高電位側内部電源  $VDD$  と等しく ( $Vlh = VDD$ )、該信号の論理的な低電位  $Vll$  は、低電位側内部電源  $VSS$  と等しい ( $Vll = VSS$ )。

【0052】

出力レベルシフタ 6a、ならびに入力レベルシフタ 6b から I/O部 5 に入出

力される信号の論理的高電位  $V_{ioh}$  は、高電位側外部電源  $V_{CC}$  と等しく ( $V_{ioh} = V_{CC}$ )、その信号の論理的低電位  $V_{iol}$  は、低電位側外部電源  $GND$  と等しい ( $V_{iol} = GND$ )。

#### 【0053】

この図3のレイアウトにおいては、I/O部5を半導体チップCHの周辺部に配置した構成としたが、半導体チップCHのレイアウトはこれに限定されるものではなく、たとえば、I/O部5を半導体チップCHの中央部近傍に配置するようにしてもよい。

#### 【0054】

また、図4は、高電位側電源回路2の回路構成を示す図である。

#### 【0055】

図示するように、高電位側電源回路2の高電位側内部電源制御部2bは、複数のPチャネルMOSからなるトランジスタ（電源用トランジスタ） $TP_1 \sim TP_n$ によって構成されている。

#### 【0056】

これらトランジスタ  $TP_1 \sim TP_n$  は並列接続されており、一方の接続部には高電位側外部電源  $V_{CC}$  がそれぞれ接続されており、他方の接続部には、高電位側内部電源  $V_{DD}$  がそれぞれ接続されている。トランジスタ  $TP_1 \sim TP_n$  のゲートには、前段の高電位側内部電源生成部2aから出力される内部制御信号  $CNT_1$  が入力されるように接続されている。

#### 【0057】

さらに、高電位側電源回路2の高電位側内部電源生成部2aは、差動アンプ（第1の電圧比較部）10から構成されている。差動アンプ10においては、構成を限定しないが、ここでは、2つの差動入力端子、および出力端子の他に出力電位を任意に設定可能な入力制御端子を有するものとする。

#### 【0058】

差動アンプ10において、一方の入力端子には、高電位側基準電圧回路8が生成した高電位側基準電圧  $V_{REFh}$  が入力されるように接続されており、他方の入力端子には、高電位側内部電源  $V_{DD}$  が入力されるように接続されている。

**【0059】**

また、差動アンプ10の入力制御端子には、高電位側設定信号HSSが入力されるように接続されており、該差動アンプ10の出力端子から出力された信号が、内部制御信号CNT1として出力される。

**【0060】**

図5は、低電位側電源回路3の回路構成を示したものである。

**【0061】**

低電位側内部電源制御部3bは、複数のNチャネルMOSからなるトランジスタ（電源用トランジスタ）TN1～TNnによって構成されている。これらトランジスタTN1～TNnは並列接続されており、一方の接続部には低電位側内部電源VSSがそれぞれ接続されており、他方の接続部には、低電位側外部電源GNDがそれぞれ接続されている。

**【0062】**

トランジスタTN1～TNnのゲートには、前段の低電位側内部電源生成部3aから出力される内部制御信号CNT2が入力されるように接続されている。

**【0063】**

また、低電位側内部電源生成部3aは、差動アンプ（第2の電圧比較部）11から構成されている。差動アンプ11においても構成を限定しないが、差動アンプ10と同様に、2つの差動入力端子、および出力端子の他に出力電位を任意に設定可能な入力制御端子を有するものとする。

**【0064】**

差動アンプ11における一方の入力端子には、低電位側基準電圧回路9が生成した低電位側基準電圧VREF1が入力されるように接続されており、他方の入力端子には、低電位側内部電源VSSが入力されるように接続されている。

**【0065】**

また、差動アンプ11の入力制御端子には、低電位側設定信号LSSが入力されるように接続されており、該差動アンプ11の出力端子からの出力信号が、内部制御信号CNT2となる。

**【0066】**

このように、半導体集積回路装置 1 の内部動作電源を高電位側電源回路 2、低電位側電源回路 3 によってそれぞれ生成した場合、論理ブロック 4 で発生した消費電流の DC 変動は、これら高電位側電源回路 2、低電位側電源回路 3 を介して高電位側外部電源 VCC、低電位側外部電源 GND に伝搬することになる。

#### 【0067】

よって、半導体集積回路装置 1 内部のインダクタンスが消費電流の DC 的な変動を直接受けなくなるために、電源の特性インピーダンスは等価的に小さくなり、低周波ノイズを低減することができる。

#### 【0068】

なお、図 4、および図 5 においては、差動アンプ 10、11 の入力端子に、高電位側基準電圧回路 8、ならびに低電位側基準電圧回路 9 が生成した高電位側基準電圧 VREFh と低電位側基準電圧 VREFl とがそれぞれ入力される構成としたが、これら高電位側基準電圧 VREFh、低電位側基準電圧 VREFl は、外部入力される構成としてもよい。その場合には、高電位側基準電圧回路 8、および低電位側基準電圧回路 9 は半導体チップ CH 内部に設けなくてよい。

#### 【0069】

また、図 10 は、高電位側電源回路 2<sub>1</sub>、および低電位側電源回路 3<sub>1</sub> にデューティ可変回路 DT1、DT2 をそれぞれ設ける構成としてもよい。

#### 【0070】

この場合、高電位側電源回路 2<sub>1</sub> は、高電位側内部電源生成部 2a と高電位側内部電源制御部 2b との間にデューティ可変回路（第 1 のデューティ制御回路）DT1 が設けられ、該高電位側内部電源制御部 2b をクロック clk によって制御する点が異なる他は、図 4 に示す高電位側電源回路 2 と同じ回路構成となっている。

#### 【0071】

また、低電位側電源回路 3<sub>1</sub> においても、低電位側内部電源生成部 3a と低電位側内部電源制御部 3b との間にデューティ可変回路（第 2 のデューティ制御回路）DT2 が設けられ、該低電位側内部電源制御部 3b をクロック clk によって制御する点が異なる他は、図 5 に示す低電位側電源回路 3 と同じ回路構成とな

っている。

#### 【0072】

図11は、高電位側電源回路2<sub>1</sub>、ならびに低電位側電源回路3<sub>1</sub>における信号タイミングチャートである。

#### 【0073】

図11においては、上方から下方にかけて、クロックclk、高電位側基準電圧VREF<sub>h</sub>、高電位側内部電源VDD、デューティ可変回路DT1から出力される高電位側電圧を生成するためのデューティ信号2、低電位側基準電圧VREF<sub>l</sub>、低電位側内部電源VSS、およびデューティ可変回路DT2から出力される低電位側電圧生成を制御するためのデューティ信号3の信号タイミングをそれぞれ示している。

#### 【0074】

デューティ可変回路DT1、DT2へは、論理ブロック4内部のクロックclkが入力されている。

#### 【0075】

高電位側電源回路2<sub>1</sub>では、差動アンプ10から出力される内部制御信号CNT1の電位が上昇すると、デューティ可変回路DT1のデューティ信号における低電位側のパルス幅(WL)を広げ、トランジスタTP1～TP<sub>n</sub>がONとなる期間を増加させる。

#### 【0076】

逆に、内部制御信号CNT1の電位が下降すると、デューティ信号2の高電位側のパルス幅(WH)を広げ、トランジスタTP1～TP<sub>n</sub>がONとなる期間を短くさせる。

#### 【0077】

一方、低電位側電源回路3<sub>1</sub>では、差動アンプ11から出力される内部制御信号CNT2の電位が上昇すると、デューティ可変回路DT2のデューティ信号3における高電位側のパルス幅を広げ、トランジスタTN1～TN<sub>n</sub>がONとなる期間を増加させる。逆に、内部制御信号CNT2の電位が下降すると、デューティ信号3の低電位側のパルス幅を広げ、トランジスタTN1～TN<sub>n</sub>がONとな

る期間を短くさせる。

#### 【0078】

デューティ可変回路DT1, DT2におけるデューティ比が50% ( $WL = WH$ ) の場合は、高電位側内部電源VDD、および低電位側内部電源VSSが一定となるように、トランジスタTP1~TPn, TN1~TNnのゲートサイズを設定する。

#### 【0079】

これにより、デューティ可変回路DT1, DT2から出力されるデューティ信号のデューティ比が50%を超える場合には ( $WL < WH$ )、高電位側内部電源VDD、または低電位側内部電源VSSが上昇し、デューティ比が50%未満の場合には ( $WL > WH$ )、高電位側内部電源VDD、あるいは低電位側内部電源VSSが下降するため、高電位側電源回路2<sub>1</sub>、および低電位側電源回路3<sub>1</sub>の電源電圧制御が負帰還制御となり、高電位側内部電源VDD、低電位側内部電源VSSが一定に保たれる。

#### 【0080】

また、デューティ信号の動作周波数は、論理回路が同期動作している論理ブロック4のクロックclkと等しいので、ディレイ回路DY (図10) を挿入するなどしてデューティ可変回路DT1, DT2のデューティ信号の切り換えタイミングを論理ブロック4の動作タイミングとずらすことによってクロックclkによるノイズ増加を抑えることができる。

#### 【0081】

さらに、高電位側基準電圧回路8の回路構成について説明する。

#### 【0082】

高電位側基準電圧回路8は、図6に示すように、PチャネルMOSのトランジスタTr、抵抗R1~R3、およびコンデンサCから構成されている。トランジスタTrの一方の接続部には、高電位側外部電源VCCが接続されており、該トランジスタTrのゲートには、高電位側設定信号HSSが入力されるように接続されている。

#### 【0083】

トランジスタ  $T_r$  の他方の接続部には、抵抗  $R_1$  の一方の接続部が接続されており、該抵抗  $R_1$  の他方の接続部には、抵抗  $R_2$ 、 $R_3$  の一方の接続部がそれぞれ接続されている。

#### 【0084】

抵抗  $R_2$  の他方の接続部には、低電位側外部電源  $GND$  が接続されており、抵抗  $R_3$  の他方の接続部には、コンデンサ  $C$  の一方の接続部が接続されている。このコンデンサ  $C$  の他方の接続部には、低電位側外部電源  $GND$  が接続されている。

#### 【0085】

そして、トランジスタ  $T_r$  を介し、抵抗  $R_1$ 、 $R_2$  によって分圧された電圧が、高電位側基準電圧  $V_{REFh}$  となる。この高電位側基準電圧  $V_{REFh}$  は、抵抗  $R_3$ 、およびコンデンサ  $C$  によって構成されたローパスフィルタを介して出力される。

#### 【0086】

高電位側基準電圧  $V_{REFh}$  は、高電位側内部電源生成部 2a の差動アンプ 10 を構成する MOS トランジスタのゲートに接続されるので、電流はほとんど流れない。よって、コンデンサ  $C$  は比較的小さな静電容量のままで抵抗  $R_3$  の抵抗値を大きくすることにより、帯域を狭めることができ、半導体デバイスのレイアウト面積を小さく抑えることができる。

#### 【0087】

なお、低電位側基準電圧回路 9 の回路構成は、低電位側設定信号  $LSS$  の入力、および低電位側基準電圧  $V_{REF1}$  の出力となる以外は図 6 に示した高電位側基準電圧回路 8 の回路構成と同じであるので説明は省略する。

#### 【0088】

図 7 は、電子部品などを実装するプリント配線基板などのボード  $BD$  上に、複数の半導体集積回路装置 1 を搭載した一例を示した図である。

#### 【0089】

この場合、ボード  $BD$  には、3 つの半導体集積回路装置 1、高電位側外部電源  $VCC$  を生成する電源生成手段  $DCC$ 、ならびに低電位側外部電源  $GND$  を生成



する電源生成手段 D S S などが搭載されている。

【0090】

電源生成手段 D C C が生成した高電位側外部電源 V C C は、ボード B D に形成された電源配線 D H 1 を介して 3 つの半導体集積回路装置 1 の電源端子にそれぞれ供給されている。

【0091】

同様に、電源生成手段 D C C が生成した低電位側外部電源 G N D は、ボード B D に形成された電源配線 D H 2 を介して 3 つの半導体集積回路装置 1 の電源端子にそれぞれ供給されている。

【0092】

また、図 7 においては、ボード B D に、3 つの半導体集積回路装置 1、電源生成手段 D C C、および電源生成手段 D S S を搭載した例について説明したが、このボード B D に、図示はしないが高電位側基準電圧 V R E F h、低電位側基準電圧 V R E F l をそれぞれ生成する基準電圧回路をそれぞれ搭載するようにしてもよい。

【0093】

その場合、基準電圧回路が生成した高電位側基準電圧 V R E F h、低電位側基準電圧 V R E F l は、ボード B D に形成された配線を介して各半導体集積回路装置 1 に供給されることになる。

【0094】

さらに、基準電圧回路は、高電位側外部電源 V C C、および低電位側外部電源 G N D を電圧変換して、生成高電位側基準電圧 V R E F h、低電位側基準電圧 V R E F l をそれぞれ生成するようにしてもよい。

【0095】

基準電圧回路が電圧変換をする際には、たとえば、図 6 に示すような回路によって電圧変換回路を構成することができる。

【0096】

また、ボード B D 上に搭載される半導体集積回路装置 1 は 3 つに限定されることなく、1 つ以上であれば複数個搭載可能であっても良い。また、例えば基準電

圧回路は夫々の半導体集積回路装置 1 の動作電流に従い、複数個搭載されているもよい。

#### 【0097】

このように、高電位側基準電圧  $V_{REFh}$ 、および低電位側基準電圧  $V_{REFl}$  をボード BD に形成された配線を介して半導体集積回路装置に供給する際には、たとえば、高電位側基準電圧  $V_{REFh}$ 、ならびに低電位側基準電圧  $V_{REFl}$  の配線を中間層に形成した多層配線基板とする。

#### 【0098】

そして、該配線の上下層に低電位側外部電源 GND の電源配線層をそれぞれ形成し、その電源配線層の上下層に高電位側外部電源 VCC の電源配線層をそれぞれ形成する。

#### 【0099】

また、低電位側外部電源 GND、および高電位側外部電源 VCC の電源配線層は、それぞれプレーン状の配線（ベタ配線）とすることによって、高電位側基準電圧  $V_{REFh}$ 、低電位側基準電圧  $V_{REFl}$  にノイズが乗ることを大幅に低減することができる。

#### 【0100】

図 8 は、レベルシフト部 6 に設けられた入力レベルシフト 6b の回路図である。

#### 【0101】

入力レベルシフト 6b は、3 つのインバータ  $I_{v1} \sim I_{v3}$ 、およびトランジスタ  $Tr1$ 、 $Tr2$  から構成されている。トランジスタ  $Tr1$  は N チャンネル MOS からなり、トランジスタ  $Tr2$  は P チャンネル MOS からなる。

#### 【0102】

インバータ  $I_{v1}$ 、 $I_{v2}$  の入力部には、I/O 部 5 が接続されており、インバータ  $I_{v1}$  の出力部には、トランジスタ  $Tr1$  のゲートが接続されている。インバータ  $I_{v2}$  の出力部には、トランジスタ  $Tr2$  のゲートが接続されている。

#### 【0103】

これらトランジスタ  $Tr1$ 、 $Tr2$  は、高電位側外部電源 VCC と低電位側外



部電源 GND との間に直列接続されている。これらトランジスタ  $T_{r1}$ ,  $T_{r2}$  が直列接続された出力部には、インバータ  $I_{v3}$  の入力に接続されており、該インバータ  $I_{v3}$  の出力部には、論理ブロック 4 が接続されている。

#### 【0104】

インバータ  $I_{v1}$ ,  $I_{v2}$  は、高電位側外部電源 VCC と低電位側外部電源 GND とが動作電源として接続されており、インバータ  $I_{v3}$  は、高電位側内部電源 VDD と低電位側内部電源 VSS が動作電源として接続されている。

#### 【0105】

このように、インバータ  $I_{v1}$ ,  $I_{v2}$  の動作電源が、高電位側外部電源 VCC と低電位側外部電源 GND とであるので、その論理的高電位は高電位側外部電源 VCC、論理的低電位は低電位側外部電源 GND となる。

#### 【0106】

トランジスタ  $T_{r1}$ ,  $T_{r2}$  はクランプ接続されているので、インバータ  $I_{v3}$  の入力信号の論理的高電位は高電位側外部電源 VCC から、トランジスタ  $T_{r1}$  のしきい値  $V_{th}$  だけ下がった値になり、論理的低電位は低電位側外部電源 GND から、トランジスタ  $T_{r2}$  のしきい値  $V_{th}$  だけ上がった値になる。

#### 【0107】

さらに、インバータ  $I_{v3}$  の動作電源は、高電位側内部電源 VDD と低電位側内部電源 VSS とであるので、入力レベルシフタ 6b における出力信号の論理的高電位は高電位側内部電源 VDD、論理的低電位は低電位側内部電源 VSS となる。

#### 【0108】

図 9 は、レベルシフタ部 6 に設けられた出力レベルシフタ 6a の回路図である。

#### 【0109】

出力レベルシフタ 6a は、抵抗  $R_4$ ,  $R_5$ 、コンデンサ  $C_1$ 、電源生成手段 DP、ならびに複数の差動アンプ AP から構成されている。

#### 【0110】

抵抗  $R_4$ ,  $R_5$  は、高電位側内部電源 VDD と低電位側内部電源 VSS との間

に直列接続されており、これら抵抗  $R_4$  と抵抗  $R_5$  との接続部には、コンデンサ  $C_1$  の一方の接続部が接続されている。

#### 【0111】

そして、抵抗  $R_4$ 、 $R_5$  の分圧によって、差動アンプ  $AP$  の参照電位となる参照電位  $V_{ref}$  が生成される。抵抗  $R_4$ 、 $R_5$  の抵抗値は等しくしておき、参照電位  $V_{ref}$  が、高電位側内部電源  $V_{DD}$  と低電位側内部電源  $V_{SS}$  との中間電位となるようにする。コンデンサ  $C_1$  は、参照電位  $V_{ref}$  の安定化容量である。

#### 【0112】

また、電源生成手段  $DP$  は、参照電位  $V_{ref}$  から、差動アンプ  $AP$  のバイアス電位となるバイアス電位  $V_{bias}$  を生成する。電源生成手段  $DP$  によって生成されたバイアス電位  $V_{bias}$  は、差動アンプ  $AP$  に供給されるようにそれぞれ接続されている。

#### 【0113】

参照電位  $V_{ref}$  は、差動アンプ  $AP$  の一方の入力部に入力されるようにそれぞれ接続されており、該差動アンプ  $AP$  の他方の入力部には、論理ブロック 4 から出力される信号がそれぞれ入力されるように接続されている。これら差動アンプ  $AP$  の出力部から出力された信号は、I/O部 5 に出力される。

#### 【0114】

差動アンプ  $AP$  の動作電源は、高電位側外部電源  $V_{CC}$ 、および低電位側外部電源  $GND$  とする。差動アンプ  $AP$  の入力レンジは、相補形でない差動アンプと比較して広く、小振幅の信号も受けることができる。

#### 【0115】

よって、高電位側内部電源  $V_{DD}$  が高電位側外部電源  $V_{CC}$  よりも著しく低い、あるいは低電位側内部電源  $V_{SS}$  が低電位側外部電源  $GND$  よりも著しく高い場合であっても、差動アンプ  $AP$  の入力信号振幅  $V_{in}$  ( $=V_{DD}-V_{SS}$ ) がある程度あれば、常に  $V_{SS} < V_{ref} < V_{DD}$  という関係が成立するので、論理ブロック 4 からの出力される信号を、I/O部 5 の信号振幅まで増幅して出力することができる。

## 【0116】

次に、本実施の形態における半導体集積回路装置 1 に設けられた高電位側電源回路 2、および低電位側電源回路 3 の作用について説明する。

## 【0117】

まず、図 4 に示す高電位側電源回路 2 においては、高電位側内部電源 VDD が高電位側基準電圧 VREFh よりも高い場合には、内部制御信号 CNT1 の電位を上昇させてトランジスタ TP1 ~ TPn の動作電流を下げることにより、高電位側内部電源 VDD を下降させる。

## 【0118】

一方、高電位側内部電源 VDD が高電位側基準電圧 VREFh よりも低い場合には、内部制御信号 CNT1 の電位を下降させてトランジスタ TP1 ~ TPn の動作電流を上げ、高電位側内部電源 VDD を上昇させる。

## 【0119】

よって、高電位側電源回路 2 は、高電位側内部電源生成部 2a、および高電位側内部電源制御部 2b によって負帰還ループ L が形成される。この負帰還ループ L の遮断周波数を、高電位側内部電源 VDD に発生する低周波ノイズの周波数以下に設定すれば、該低周波ノイズを負帰還ループ L によって抑制することができる。

## 【0120】

また、半導体集積回路装置 1 が、スタンバイなどの非動作状態の際には、高電位側設定信号 HSS によって内部制御信号 CNT1 の電位を高電位側外部電源 VCC に設定する。それによって、トランジスタ TP1 ~ TPn は OFF となり、高電位側外部電源 VCC と高電位側内部電源 VDD とが電氣的に分離される。

## 【0121】

そうすると、論理ブロック 4 には電流がほとんど供給されてないために該論理ブロック 4 で使用されている MOS トランジスタそれ自体のゲートリーク電流、およびドレインリーク電流が大きくても、半導体集積回路装置 1 の消費電流を低く抑えることができる。

## 【0122】

さらに、図 5 に示す低電位側電源回路 3 では、低電位側内部電源  $V_{SS}$  が低電位側基準電圧  $V_{REF1}$  よりも低い場合には、内部制御信号  $CNT2$  の電位を降下させて、トランジスタ  $TN1 \sim TNn$  の駆動電流を下げることにより、低電位側内部電源  $V_{SS}$  を上昇させる。

#### 【0123】

逆に、低電位側内部電源  $V_{SS}$  が低電位側基準電圧  $V_{REF1}$  よりも高い場合、内部制御信号  $CNT2$  の電位を上昇させて、トランジスタ  $TN1 \sim TNn$  の駆動電流を上げることにより、低電位側内部電源  $V_{SS}$  を下降させる。

#### 【0124】

これによっても、低電位側電源回路 3 は、低電位側内部電源生成部 3a、および低電位側内部電源制御部 3b によって負帰還ループ L が形成され、この負帰還ループ L の遮断周波数を、低電位側内部電源  $V_{SS}$  に発生する低周波ノイズの周波数以下に設定することにより、該低周波ノイズを抑制することができる。

#### 【0125】

ここでも、半導体集積回路装置 1 がスタンバイなどの非動作状態の際には、低電位側設定信号  $LSS$  によって内部制御信号  $CNT2$  の電位を低電位側外部電源  $GND$  に設定する。

#### 【0126】

よって、トランジスタ  $TN1 \sim TNn$  は OFF となり、低電位側外部電源  $GND$  と低電位側内部電源  $V_{SS}$  とが電氣的に分離され、論理ブロック 4 から電流がほとんど流れ出さないために、該論理ブロック 4 で使用されている MOS トランジスタそれ自体のゲートリーク電流、およびドレインリーク電流が大きくても、半導体集積回路装置 1 の消費電流を低く抑えることができる。

#### 【0127】

このように、本実施の形態においては、半導体集積回路装置 1 に、高電位側電源回路 2、および低電位側電源回路 3 を設けたことにより、該半導体集積回路装置 1 内部のインダクタンスを小さくでき、低周波ノイズを低減することができる。

#### 【0128】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0 1 2 9】

たとえば、前記実施の形態では、半導体集積回路装置に入出力信号のレベル変換を行うレベルシフタ部を設けた構成としたが、高電位側外部電源  $VCC$  / 低電位側外部電源  $GND$  と高電位側内部電源  $VDD$  / 低電位側内部電源  $VSS$  との間に電位差がほとんどない場合などではレベルシフタ部を設けなくてもよい。

#### 【0 1 3 0】

さらに、例えば出力レベルシフタ 6 a の差動アンプ  $AP$  は、基準電圧および外部から入力される信号の振幅中心電圧が変動しても、出力特性の変動を小さくすることが可能な相補形差動アンプによって構成されていてもよい。

#### 【0 1 3 1】

図 1 2 は、レベルシフタ部が設けられていない半導体集積回路装置 1 a が、電子部品などを搭載するボード（電子部品搭載基板） $BD1$  に搭載されて構成された電子システム  $DS$  の一例を示す説明図である。

#### 【0 1 3 2】

半導体集積回路装置 1 a は、レベルシフタ部が設けられておらず、論理ブロック 4 と  $I/O$  部 5 とが直接接続されている点以外は、半導体集積回路装置 1（図 1）と同じ構成からなっている。

#### 【0 1 3 3】

また、ボード  $BD1$  には、たとえば、3 つの半導体集積回路装置 1 a、高電位側外部電源  $VCC$  を生成する電源生成手段  $DCC$ 、ならびに低電位側外部電源  $GND$  を生成する電源生成手段  $DSS$  などが搭載されている。

#### 【0 1 3 4】

そして、これら電源生成手段  $DCC$ 、ならびに電源生成手段  $DSS$  が生成した高電位側外部電源  $VCC$ 、低電位側外部電源  $GND$  は、ボード  $BD1$  に形成された電源配線を介して半導体集積回路装置 1 a にそれぞれ供給される。

#### 【0 1 3 5】

それによっても、半導体集積回路装置 1 a 内部のインダクタンスを小さくでき、低周波ノイズを低減することができる。

#### 【0 1 3 6】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

#### 【0 1 3 7】

(1) 動作時に発生する低周波成分のノイズを大幅に低減することができるので半導体集積回路装置の信頼性を向上することができる。

#### 【0 1 3 8】

(2) スタンバイ時などにおける論理回路のリーク電流を低減することができるとともに、動作電源電圧低下と消費電流増大による電源ドロップを抑制することができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の一実施の形態による半導体集積回路装置のブロック図である。

#### 【図 2】

図 1 の半導体集積回路装置における機能ブロックの説明図である。

#### 【図 3】

図 1 の半導体集積回路装置におけるチップレイアウト図である。

#### 【図 4】

図 1 の半導体集積回路装置に設けられた高電位側電源回路の回路図である。

#### 【図 5】

図 1 の半導体集積回路装置に設けられた低電位側電源回路の回路図である。

#### 【図 6】

図 1 の半導体集積回路装置に設けられた高電位側基準電圧回路の回路図である。

。

#### 【図 7】

図 1 の半導体集積回路装置をボードに搭載した一例を示す説明図である。



**【図 8】**

図 1 の半導体集積回路装置に設けられた入力レベルシフタの回路図である。

**【図 9】**

図 1 の半導体集積回路装置に設けられた出力レベルシフタの回路図である。

**【図 1 0】**

本発明の他の実施の形態による半導体集積回路装置に設けられた高電位側電源回路、および低電位側電源回路の他の構成例を示す回路図である。

**【図 1 1】**

図 1 0 の高電位側電源回路、ならびに低電位側電源回路における信号タイミングチャートである。

**【図 1 2】**

本発明の他の実施の形態による半導体集積回路装置が、ボードに搭載された際の一例を示す説明図である。

**【符号の説明】**

- 1, 1 a 半導体集積回路装置
- 2 高電位側電源回路（内部電源生成手段）
  - 2 a 高電位側内部電源生成部（高電位側電圧生成手段、第 1 の内部電源生成部、第 1 の比較回路）
  - 2 b 高電位側内部電源制御部（高電位側電圧生成手段、第 1 の内部電源制御部）
  - 2 c トランジスタ（高電位側電圧生成手段、第 1 のトランジスタ）
- 2<sub>1</sub> 高電位側電源回路
- 3 低電位側電源回路（内部電源生成手段）
  - 3 a 低電位側内部電源生成部（低電位側電圧生成手段、第 2 の内部電源生成部、第 2 の比較回路）
  - 3 b 低電位側内部電源制御部（低電位側電圧生成手段、第 2 の内部電源制御部）
  - 3 c トランジスタ（低電位側電圧生成手段、第 2 のトランジスタ）
- 3<sub>1</sub> 低電位側電源回路

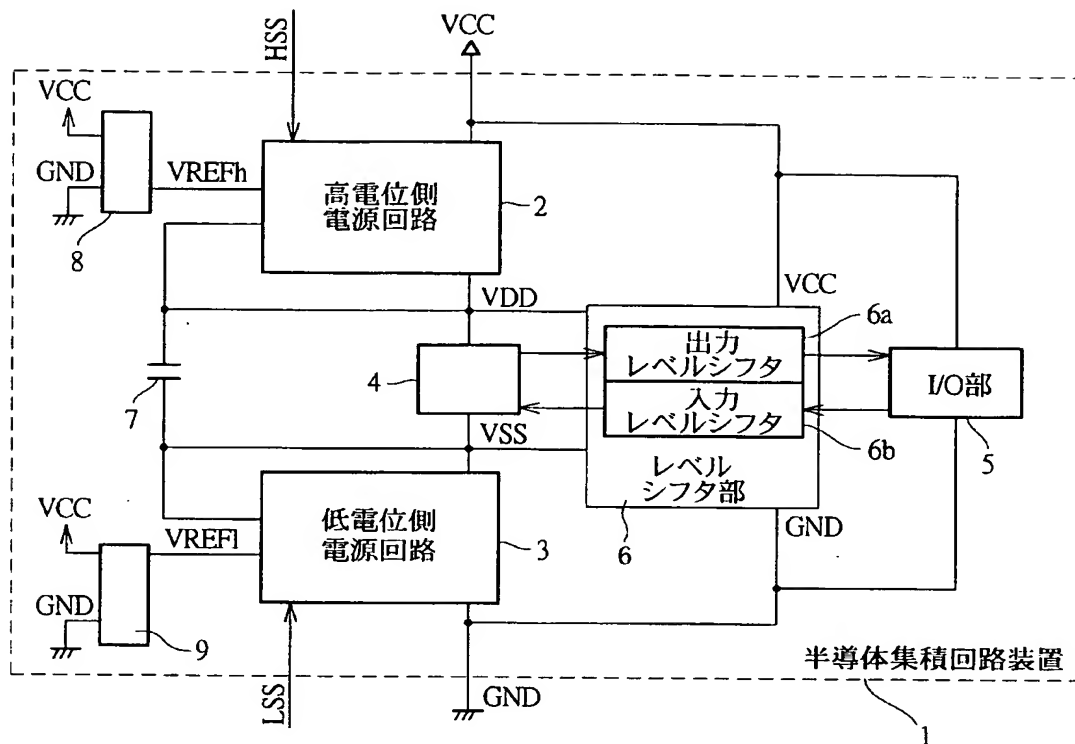
4 論理ブロック (論理回路)  
5 I/O部  
6 レベルシフト部  
6 a 出力レベルシフト (第 1 のレベルシフト部)  
6 b 入力レベルシフト (第 2 のレベルシフト部)  
7 静電容量素子  
8 高電位側基準電圧回路  
9 低電位側基準電圧回路  
1 0 差動アンプ (第 1 の電圧比較部)  
1 1 差動アンプ (第 2 の電圧比較部)  
D T 1 デューティ可変回路 (第 1 のデューティ制御回路)  
D T 2 デューティ可変回路 (第 2 のデューティ制御回路)  
C H 半導体チップ  
H c , H g , H d , H s 電源配線  
H h s , H l s 配線  
T P 1 ~ T P n トランジスタ (電源用トランジスタ)  
T N 1 ~ T N n トランジスタ (電源用トランジスタ)  
I v 1 ~ I v 3 インバータ  
T r 1 , T r 2 トランジスタ  
R 4 , R 5 抵抗  
C 1 コンデンサ  
D P 電源生成手段  
A P 差動アンプ  
B D ボード  
B D 1 ボード (電子部品搭載基板)  
D S 電子システム  
V C C 高電位側外部電源 (外部電源電圧)  
V D D 高電位側内部電源 (内部電源電圧)  
G N D 低電位側外部電源

V S S 低電位側内部電源（内部電源電圧）  
H S S 高電位側設定信号（設定信号）  
L S S 低電位側設定信号（設定信号）  
V R E F h 高電位側基準電圧（第 1 の基準電圧）  
V R E F l 低電位側基準電圧（第 2 の基準電圧）  
V r e f 参照電位  
C N T 1, C N T 2 内部制御信号

【書類名】 図面

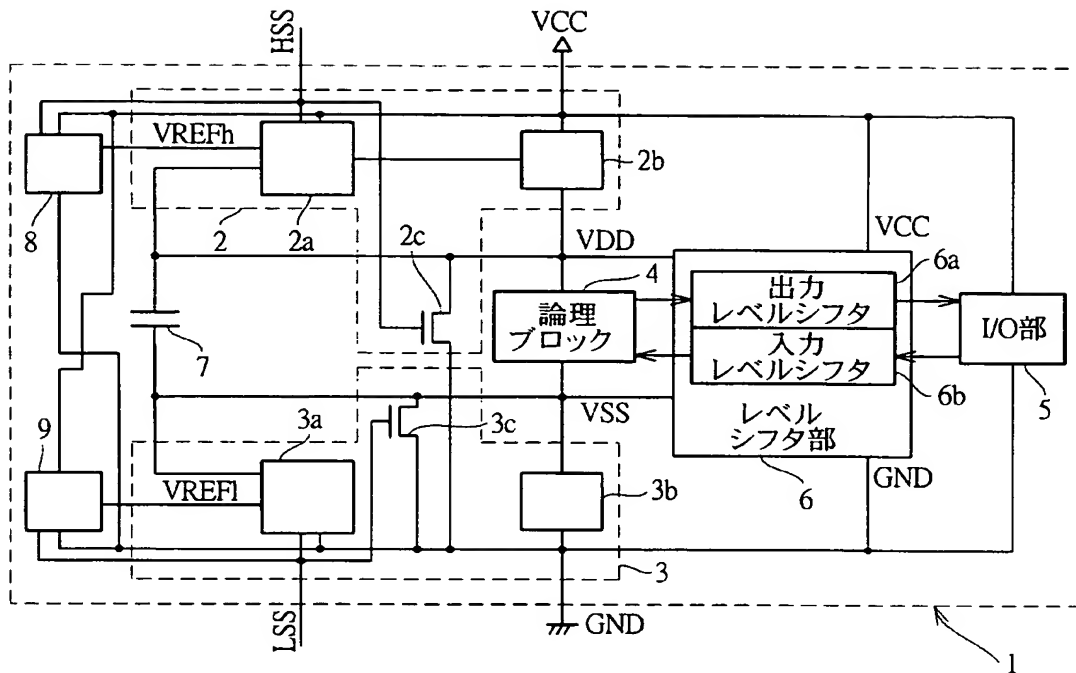
【図 1】

図 1



【図 2】

図 2



- 1: 半導体集積回路装置    2: 高電位側電源回路(内部電源生成手段)  
 2a: 高電位側内部電源生成部 (高電位側電圧生成手段、第1の内部電源生成部)  
 2b: 高電位側内部電源制御部 (高電位側電圧生成手段)  
 2c: トランジスタ (高電位側電圧生成手段、第1のトランジスタ)  
 3: 低電位側電源回路(内部電源生成手段)  
 3a: 低電位側内部電源生成部 (低電位側電圧生成手段、第2の内部電源生成部)  
 3b: 低電位側内部電源制御部 (低電位側電圧生成手段)  
 3c: トランジスタ (低電位側電圧生成手段、第2のトランジスタ)  
 VCC: 高電位側外部電源 (外部電源電圧)  
 VDD: 高電位側内部電源 (内部電源電圧)  
 GND: 低電位側外部電源    VSS: 低電位側内部電源 (内部電源電圧)  
 VREFh: 高電位側基準電圧 (第1の基準電圧)  
 VREFl: 低電位側基準電圧 (第2の基準電圧)  
 HSS: 高電位側設定信号 (設定信号)  
 LSS: 低電位側設定信号 (設定信号)

【図 3】

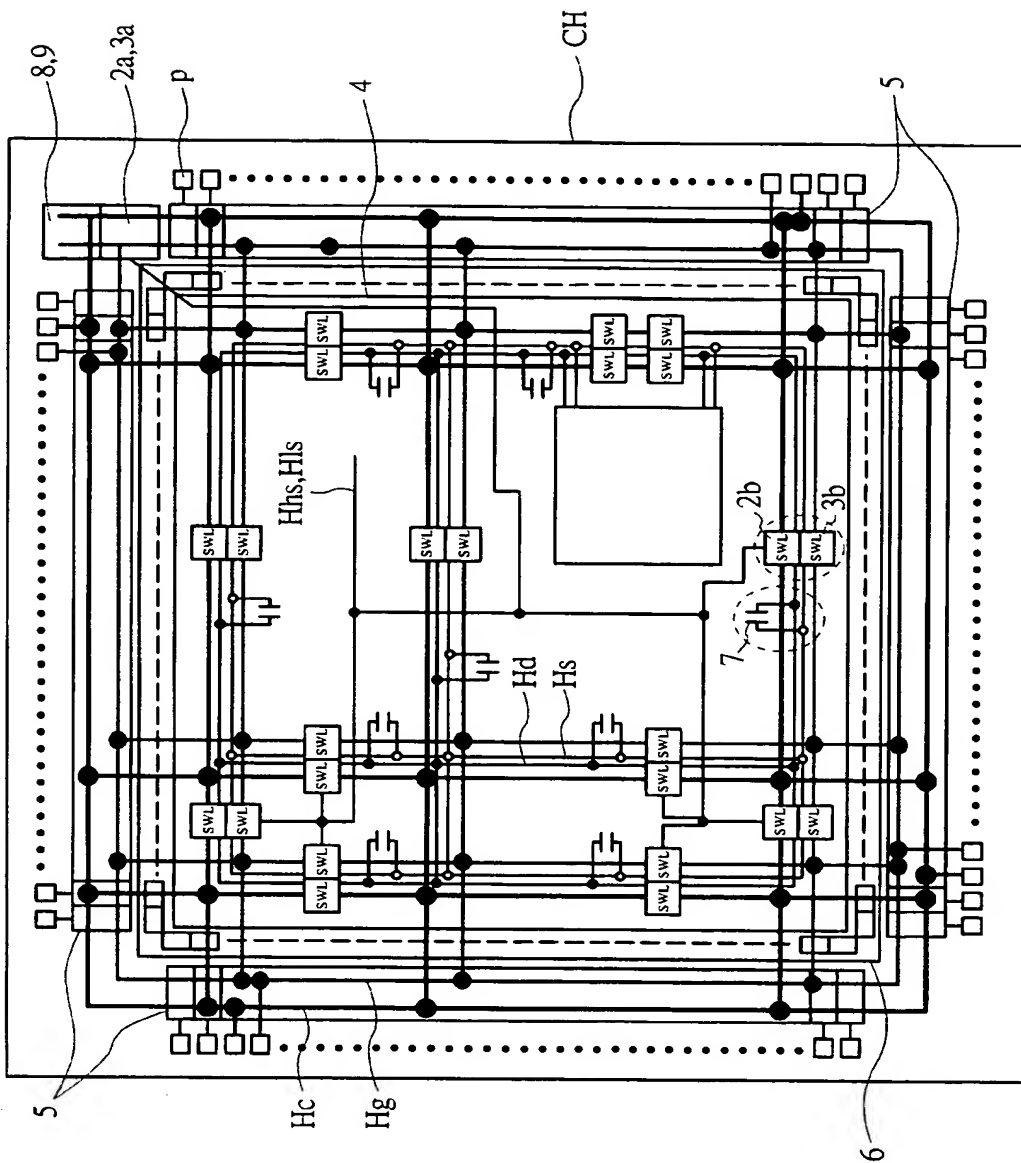
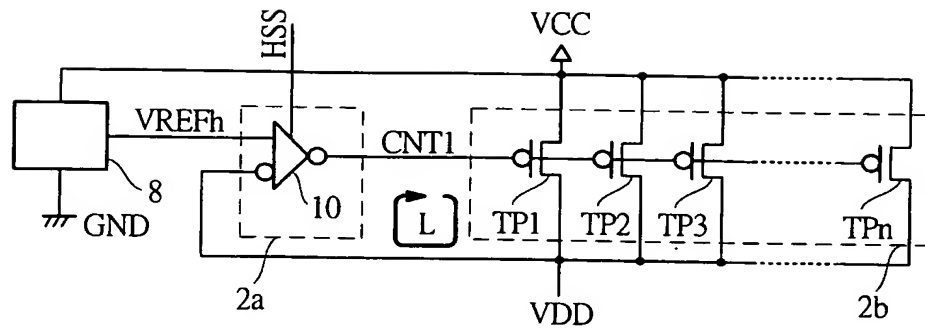


図 3

【図 4】

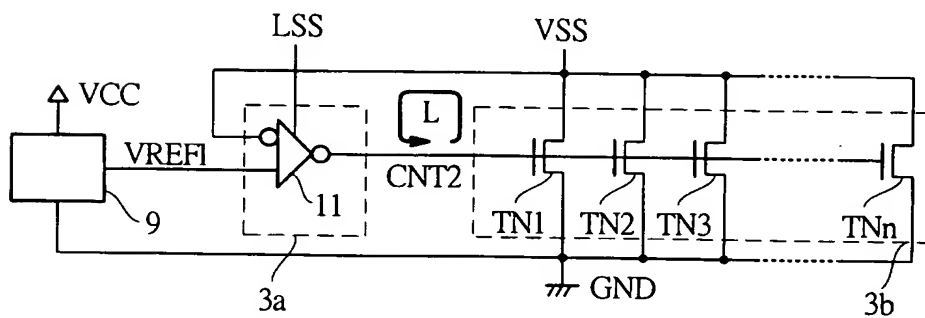
図 4



CNT1 : 内部制御信号(差動信号)  
 TP1~TPn : トランジスタ(電源用トランジスタ)  
 10 : 差動アンプ(第1の電圧比較部)

【図 5】

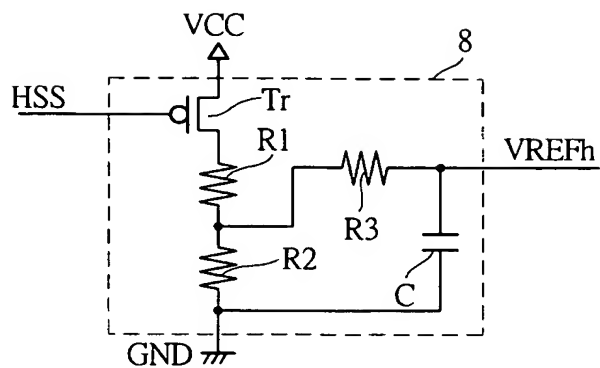
図 5



CNT2 : 内部制御信号(差動信号)  
 TN1~TNn : トランジスタ(電源用トランジスタ)  
 11 : 差動アンプ(第2の電圧比較部)

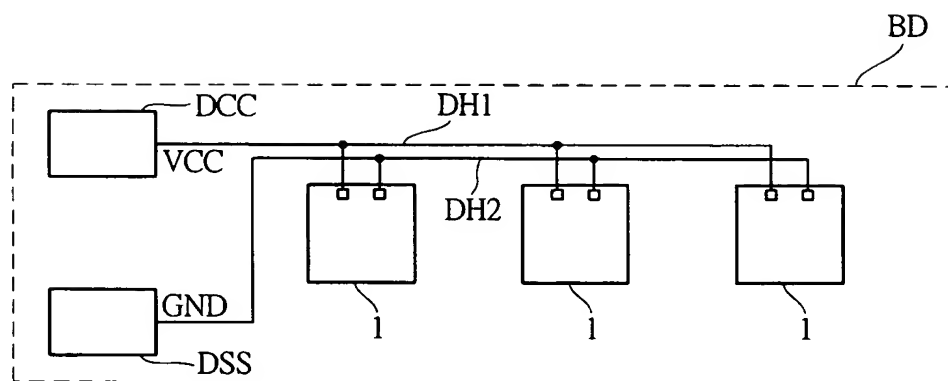
【図 6】

図 6



【図 7】

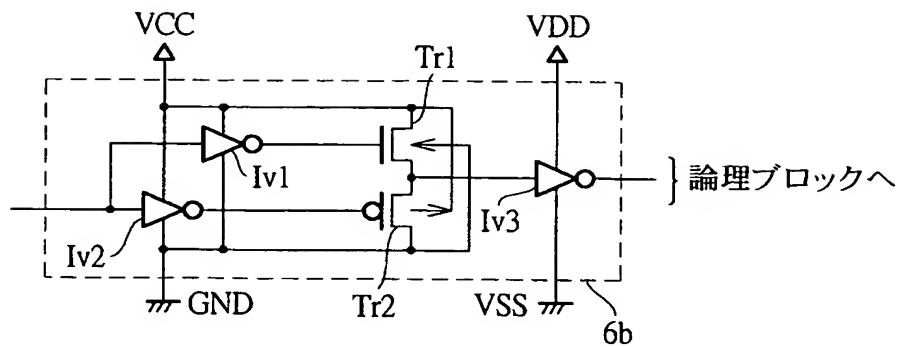
図 7





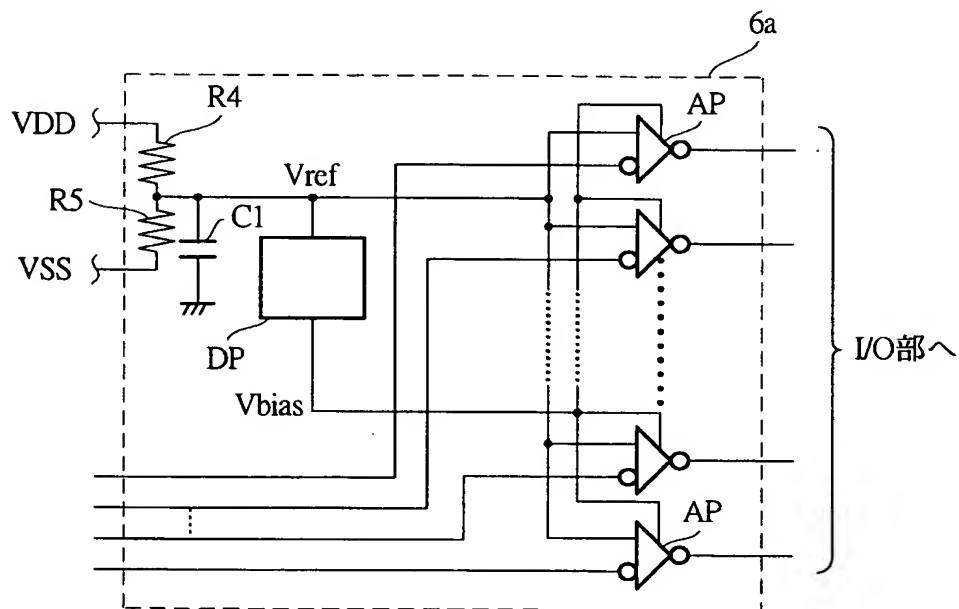
【図 8】

図 8



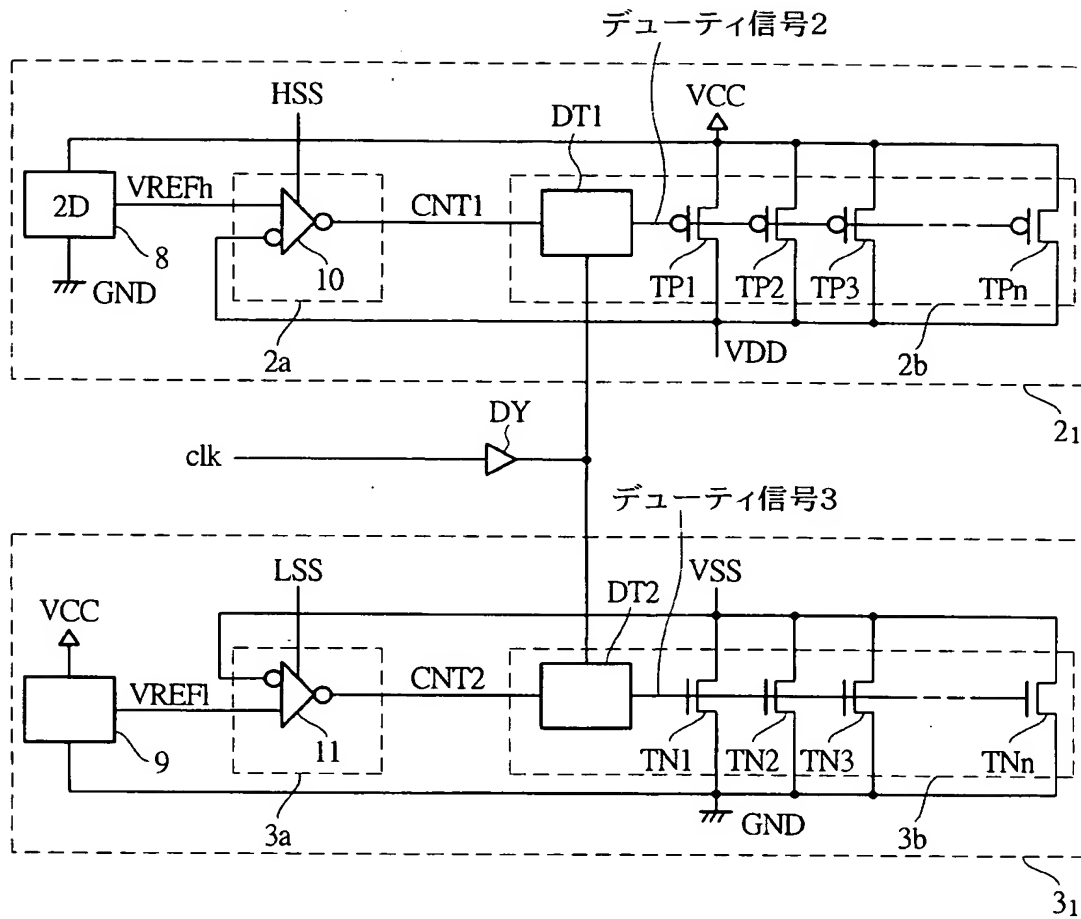
【図 9】

図 9



【図 10】

図 10

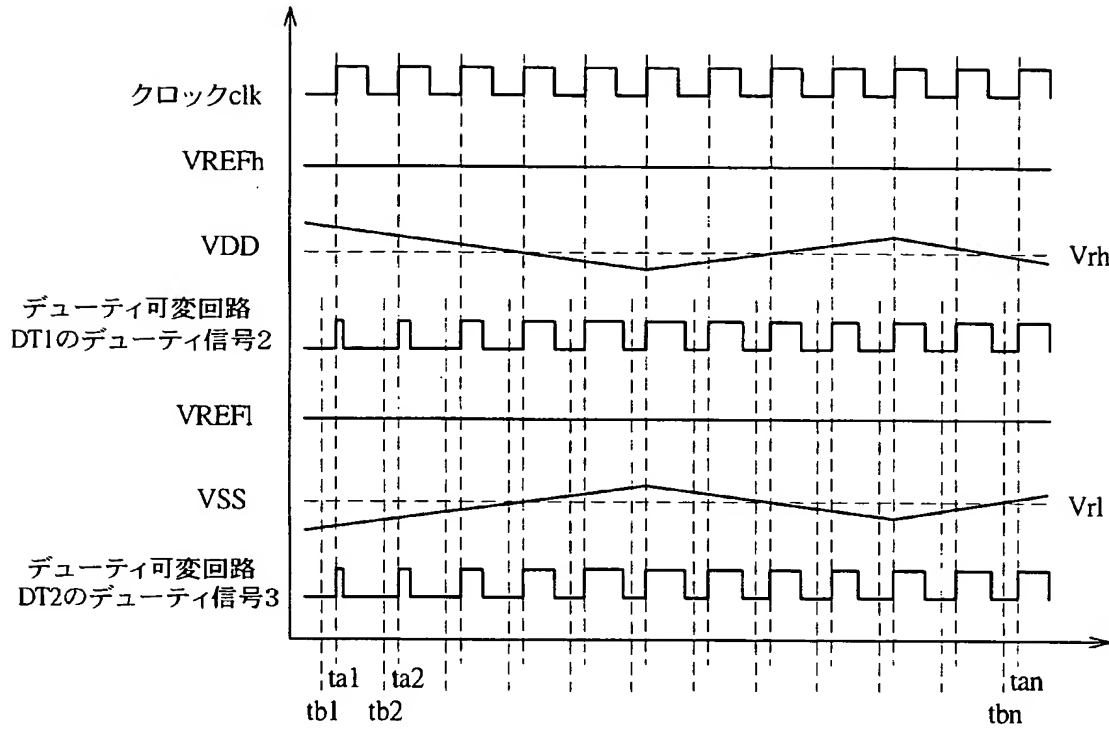
2<sub>1</sub>: 高電位側電源回路3<sub>1</sub>: 低電位側電源回路

DT1: デューティ可変回路 (第1のデューティ制御回路)

DT2: デューティ可変回路 (第2のデューティ制御回路)

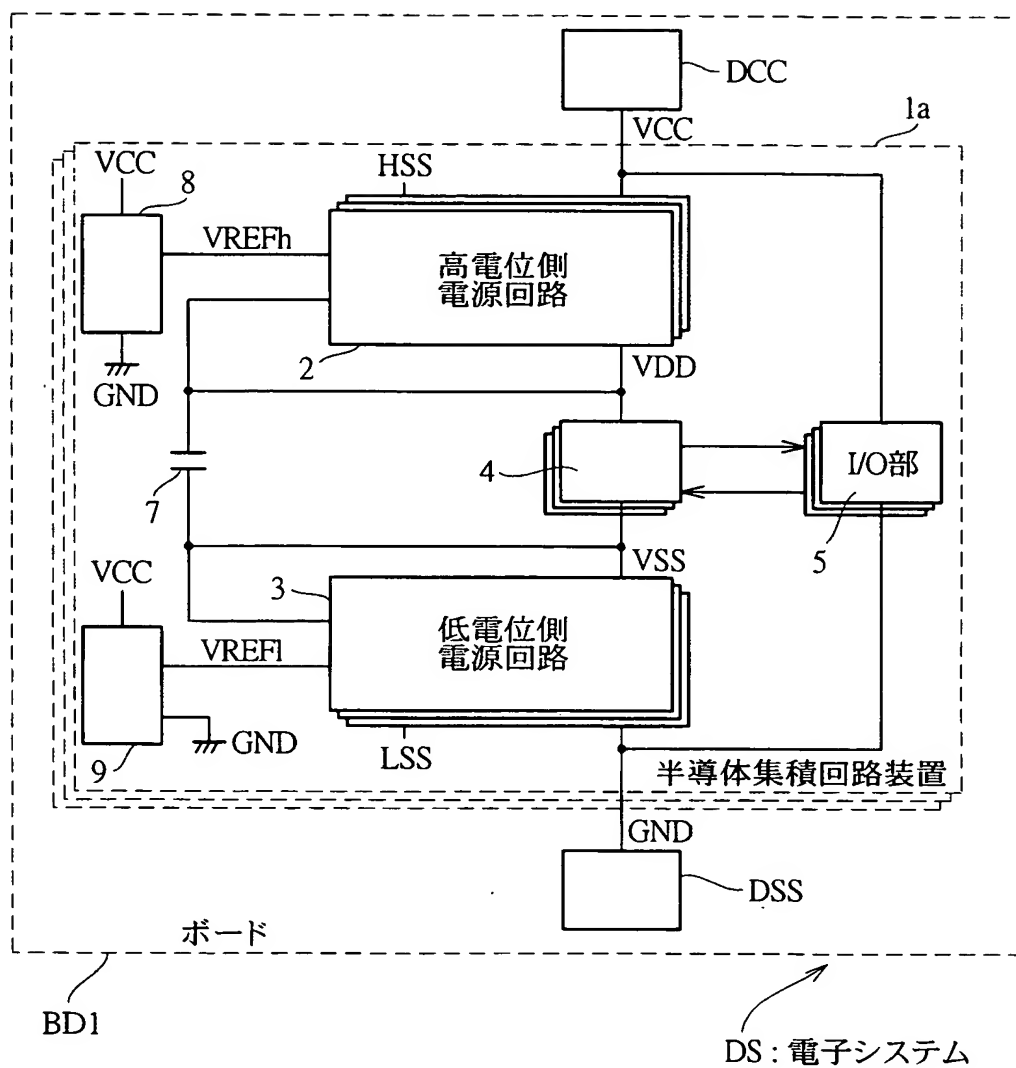
【図 11】

図 11



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 論理回路内部で発生する低周波成分のノイズを大幅に低減する。

【解決手段】 半導体集積回路装置 1 には、外部入力される高電位側外部電源  $V_{CC}$  から、ある電圧レベルの高電位側内部電源  $V_{DD}$  を生成する高電位側電源回路 2、および外部入力される低電位側外部電源  $GND$  から、ある電圧レベルの低電位側内部電源  $V_{SS}$  を生成する低電位側電源回路 3 が設けられている。論理ブロック 4 と I/O 部 5 との信号入出力はレベルシフタ部 6 により信号レベルが変換される。これら高電位側内部電源  $V_{DD}$ 、低電位側内部電源  $V_{SS}$  によって論理ブロック 4 を動作させることにより、半導体集積回路装置 1 内部のインダクタンスが消費電流の DC 的な変動を直接受けなくなるために、電源の特性インピーダンスは等価的に小さくなり、低周波ノイズを低減することができる。

【選択図】 図 2

特願 2 0 0 2 - 3 2 9 4 0 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所